



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09064308 A**(43) Date of publication of application: **07.03.97**

(51) Int. Cl.

**H01L 27/108****H01L 21/8242****G11C 11/401**(21) Application number: **07220032**(22) Date of filing: **29.08.95**(71) Applicant: **HITACHI LTD TEXAS INSTR  
JAPAN LTD**(72) Inventor: **ARAI KOJI  
KUBOTA NORIAKI  
KOMATSUZAKI KATSUO  
BUN HIROTOSHI  
MITANI SHINJI**(54) **SEMICONDUCTOR STORAGE DEVICE**

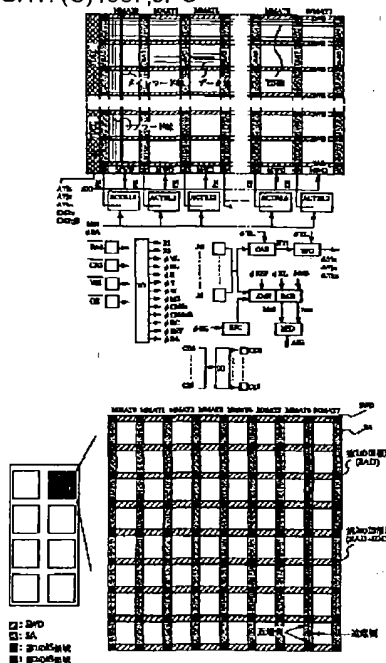
activation can be reduced.

(57) Abstract:

COPYRIGHT: (C)1997,JPO

**PROBLEM TO BE SOLVED:** To reduce the far and near ends difference of YS line activation, by using the IS region of a subword driver and a sense amplifier, dispersively arranging sense amplifier driving MOSFETs and the like which constitute a sense amplifier driving circuit, and arranging I/O switches and the like which constitute an I/O control circuit.

**SOLUTION:** Since DWD system is applied to the constitution of a memory array MMAT, an IS region is formed at the intersection of a subword driver SWD and a sense amplifier SA. By using the IS region, sense amplifier driving MOSFETs and the like which constitute a sense amplifier driving circuit SAD can be dispersively arranged, and I/O switches and the like which constitute an I/O control circuit IOC can be arranged. In the sense amplifiers SA which are dispersively long arranged in the row direction, the difference of distance between the part close to the sense amplifier driving MOSFETs on both end sides and the central part distant from the ones are very small. Thereby the far and near ends difference of the YS line





(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平9-64308

(43)公開日 平成9年(1997)3月7日

(51)Int.Cl.

識別記号

F I

H01L 27/108  
21/8242  
G11C 11/401

H01L 27/10 681 E  
G11C 11/34 362 H  
371 K

審査請求 未請求 請求項の数4 O L (全8頁)

(21)出願番号 特願平7-220032

(22)出願日 平成7年(1995)8月29日

(71)出願人 000005108

株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社  
東京都港区北青山3丁目6番12号 青山富士ビル

(72)発明者 荒井 公司

東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

(74)代理人 弁理士 筒井 大和

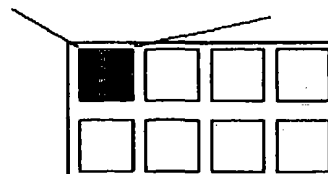
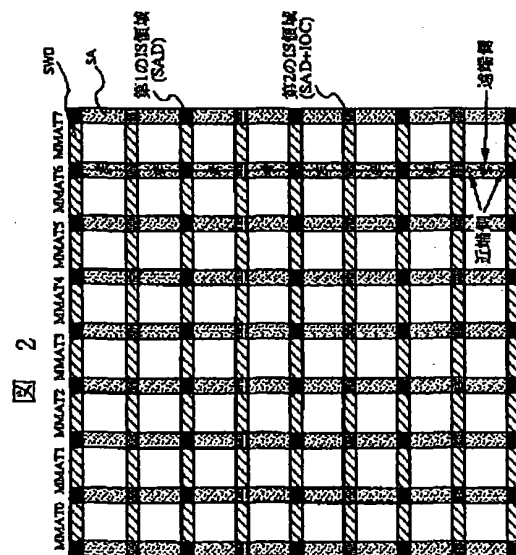
最終頁に続く

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 メモリアレイ構成にDWD方式を用い、YS線活性化の遠近端差を低減して高速化を図ることができる半導体記憶装置を提供する。

【構成】 メモリアレイ構成にDWD方式を用い、複数のメモリアレイMMATと、このメモリアレイMMATの行方向を選択するサブワードドライバSWDおよびメインワードドライバMWDと、列方向を選択するカラムデコーダYDECと、周辺回路などから構成されるDRAMであって、このメモリアレイMMAT0~MMAT7の行方向に分散配置されるサブワードドライバSWDと、列方向に分散配置されるセンスアンプSAとそのそれぞれの交点領域に、センスアンプSAを駆動するためのセンスアンプ駆動回路SADと、センスアンプSAからのデータを出力するためのI/OスイッチなどからなるI/O制御回路IOCとが配置されている。



本図の記号は、  
■: SWD  
□: SA  
■: SAD  
■: IOC

## 【特許請求の範囲】

【請求項1】 複数のメインワード線、サブワード線、複数の相補データ線、および前記サブワード線と前記複数の相補データ線との交点に配置される複数のメモリセルを含むメモリアレイを有し、前記サブワード線はサブワードドライバから前記メインワード線を介してメインワードドライバに結合され、また前記相補データ線はセンスアンプに結合されて構成されるワード線階層化構造を用いた半導体記憶装置であって、前記メモリアレイの構成において、このメモリアレイのワード線方向に分散配置される前記サブワードドライバと、前記メモリアレイのデータ線方向に分散配置される前記センスアンプとの複数の交点領域に、前記センスアンプを駆動するためのセンスアンプ駆動回路と、前記センスアンプからのデータを出力するためのI/O制御回路とを配置することを特徴とする半導体記憶装置。

【請求項2】 請求項1記載の半導体記憶装置であって、前記センスアンプ駆動回路を、Nチャネル型MOSFETおよびPチャネル型MOSFETによる回路と、Nチャネル型MOSFETのみによる回路とに分け、このNチャネル型MOSFETのみによる回路と前記I/O制御回路とを、前記複数の交点領域のうちの同じ交点領域に配置することを特徴とする半導体記憶装置。

【請求項3】 請求項2記載の半導体記憶装置であって、前記複数の交点領域を、前記センスアンプを挟んで第1の交点領域と第2の交点領域とに交互に区別し、前記第1の交点領域には前記センスアンプ駆動回路のNチャネル型MOSFETおよびPチャネル型MOSFETによる回路を配置し、かつ前記第2の交点領域には前記センスアンプ駆動回路のNチャネル型MOSFETのみによる回路と前記I/O制御回路とを配置することを特徴とする半導体記憶装置。

【請求項4】 請求項1、2または3記載の半導体記憶装置であって、前記半導体記憶装置をダイナミック型RAMとして、前記センスアンプ駆動回路にはセンスアンプ駆動MOSFETを含み、かつ前記I/O制御回路にはI/Oスイッチを含むことを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体記憶装置に関し、特にメモリアレイ構成にワード線階層化構造(DWD: Divided Word Driver)を用いたダイナミック型RAM(DRAM)に好適な半導体記憶装置に適用して有効な技術に関する。

## 【0002】

【従来の技術】 たとえば、発明者が検討したところによれば、DRAMのメモリアレイ構成として、SWS(Single Word Shunt)方式があり、このSWS方式によるメモリアレイではその構成上、センスアンプ駆動MOSF

ET、I/Oスイッチはメモリアレイの下部か上部(行方向)、あるいは両方の2箇所に配置されることとなる。

【0003】 なお、このようなDRAMに関する技術としては、たとえば昭和59年11月30日、株式会社オーム社発行、社団法人電子通信学会編の「LSIハンドブック」P485～P533などの文献に記載されている。

## 【0004】

【発明が解決しようとする課題】 ところで、前記のようなSWS方式のDRAMにおいては、センスアンプ駆動MOSFETをメモリアレイの上部か下部(行方向)に配置することとなるため、センスアンプ動作時にYS線が活性化する際、センスアンプ駆動MOSFETの近端側ではセンスアンプの負荷が見えないために速くなってしまうこととなり、遠端側ではメモリアレイ内のセンスアンプの負荷が見えるために遅くなってしまうこととなる。

【0005】 従って、このようなSWS方式のDRAMでは、メモリアレイ全体としてのYS線(Y選択線)の活性化タイミングを、誤動作を防ぐために遅い側に合わせることになり、よってこのSWS方式によるセンスアンプ駆動MOSFETの配置では高速化を行う際に問題となり、その改善が望まれている。

【0006】 そこで、本発明の目的は、メモリアレイ構成にDWD方式を用い、YS線活性化の遠近端差を低減して高速化を図ることができるDRAMなどの半導体記憶装置を提供することにある。

【0007】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0008】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0009】 すなわち、本発明の半導体記憶装置は、メモリアレイ構成にメインワード線およびサブワード線からなるDWD方式を用いた半導体記憶装置に適用されるものであり、このメモリアレイの構成において、メモリアレイのワード線方向に分散配置されるサブワードドライバと、メモリアレイのデータ線方向に分散配置されるセンスアンプとの複数の交点領域(IS: Inter Section Area)に、センスアンプを駆動するためのセンスアンプ駆動回路と、センスアンプからのデータを出力するためのI/O制御回路とを配置するものである。

【0010】 これらの複数のIS領域への配置においては、センスアンプ駆動回路をNチャネル型MOSFETおよびPチャネル型MOSFETによる回路と、Nチャネル型MOSFETのみによる回路とに分け、前者はIS領域のうちのセンスアンプを挟んで交互に区別される

10

20

30

40

50

第1のIS領域に配置し、後者とI/O制御回路は第2のIS領域に配置するようにしたものである。

【0011】特に、DRAMに適用して、センスアンプ駆動回路にはセンスアンプ駆動MOSFETを含み、かつI/O制御回路にはI/Oスイッチを含むようにしたものである。

【0012】

【作用】前記した半導体記憶装置によれば、メモリアレイの構成にDWD方式を採用し、サブワードドライバとセンスアンプとのIS領域を用いて、センスアンプ駆動回路を構成するセンスアンプ駆動MOSFETなどの分散配置や、I/O制御回路を構成するI/Oスイッチなどを配置することにより、YS線活性化の遠近端差を低減して高速化を可能とすることができる。

【0013】たとえば、記憶容量が2kビットのセンスアンプをメモリアレイの上部か下部（行方向）に配置されたセンスアンプ駆動MOSFETで動作させるより、サブワードドライバ領域で分割されたメモリアレイ（たとえば2kビットのセンスアンプを8分割すれば512ビットのセンスアンプとなる）をIS領域に分散配置したセンスアンプ駆動MOSFETを用いて動作させる方が、YS線とセンスアンプ駆動MOSFETとの距離を短くしてYS線活性化の遠近端差を低減することができ、これにより距離に比例して大きくなる信号線の配線抵抗を小さくして動作を高速化させることができる。

【0014】さらに、センスアンプ駆動回路のうちのNチャネル型MOSFETのみによる回路を、I/O制御回路とともに回路素子数の多い第2の交点領域に配置することで、この交点領域へのWELL分離の不要なNチャネル型MOSFETの配置によって領域を有効的に活用することができる。

【0015】また、メモリアレイの構成において、センスアンプ駆動MOSFETの他に、I/OスイッチなどのI/O制御回路もIS領域に配置することで、チップサイズの縮小も可能とすることができる。

【0016】これにより、特にDWD方式を用いたDRAMにおいて、IS領域にセンスアンプ駆動回路とI/O制御回路とを配置することで、YS線活性化の遠近端差を低減して高速化が可能となり、さらにIS領域内へのセンスアンプ駆動回路とI/O制御回路との配置によってチップサイズの縮小も可能となる。

【0017】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0018】図1は本発明の一実施例である半導体記憶装置を示すチップ構成図、図2は本実施例の半導体記憶装置におけるアレイ構成図、図3は本実施例に対応する比較例である半導体記憶装置におけるアレイ構成図、図4はセンスアンプ駆動回路とI/O制御回路を示す回路図である。

【0019】まず、図1により本実施例の半導体記憶装置の構成を説明する。

【0020】本実施例の半導体記憶装置は、たとえばメモリアレイ構成にDWD方式を用いたDRAMとされ、複数のメモリセルによる複数のメモリアレイMMATと、このメモリアレイMMATの行方向を選択するためのサブワードドライバSWDおよびメインワードドライバMWDと、列方向を選択するためのカラムデコーダYDECと、周辺回路としてのセンスアンプSA、センスアンプ制御回路ACTRL、ロウブリデコーダXPD、ロウアドレスバッファRAB、カラムブリデコーダYPD、カラムアドレスバッファCAB、アドレスマルチプレクサAMX、リフレッシュアドレスカウンタRFC、タイミング発生回路TG、データ入出力回路I/Oなどから構成され、これらが周知の半導体製造技術によって1個の半導体チップ上に形成されている。

【0021】このDRAMにおいては、たとえば図2に示すように半導体チップの上部、下部にメモリアレイMMATが8分割されて配置され、さらにそれぞれが8分割されてメモリアレイMMAT0~MMAT7が配置されている。また、それぞれのメモリアレイMMAT0~MMAT7の間および両端にはセンスアンプSA0~SA8が配置され、またメモリアレイMMAT0~MMAT7の行方向にはサブワードドライバSWDが分散されて配置されている。

【0022】さらに、このメモリアレイMMAT0~MMAT7の構成においては、本実施例の特徴として、メモリアレイMMAT0~MMAT7の行方向に分散配置されるサブワードドライバSWDと、メモリアレイMMAT0~MMAT7の列方向に分散配置されるセンスアンプSAとのそれぞれの交点領域に、センスアンプSAを駆動するためのセンスアンプ駆動MOSFETなどからなるセンスアンプ駆動回路SADと、センスアンプSAからのデータを出力するためのI/OスイッチなどからなるI/O制御回路IOCとが配置されている。

【0023】また、半導体チップの中央部には、センスアンプ制御回路ACTRL、ロウブリデコーダXPD、ロウアドレスバッファRAB、カラムブリデコーダYPD、カラムアドレスバッファCAB、アドレスマルチプレクサAMX、リフレッシュアドレスカウンタRFC、タイミング発生回路TG、データ入出力回路I/Oなどが配置され、さらにこの中央部には外部接続用のボンディングパッドなども設けられている。

【0024】次に、本実施例の作用について、始めにこのDRAMにおけるそれぞれの構成要素の詳細、および動作概要などを含めて図1により詳細に説明する。

【0025】メモリアレイMMAT0~MMAT7には、図1の垂直方向（行方向）に平行して配置される複数のメインワード線とサブワード線、同図の水平方向（列方向）に平行して配置される複数の相補データ線、

およびこれらのワード線と相補データ線の交点に格子状に配置される複数のダイナミック型メモリセルとが含まれている。

【0026】このメモリアレイMMATを構成するワード線は、サブワードドライバSWDからメインワードワード線を介してメインワードドライバMWDに結合され、択一的に選択される。

【0027】メインワードドライバMWDには、特に制限されないが、たとえばロウアドレスバッファRABから $i+1$ ビットの相補内部アドレス信号 $AX0^* \sim AXi^*$  (非反転内部アドレス信号 $AX0$ と反転内部アドレス信号 $AX0B$ を合わせて相補内部アドレス信号 $YTAAX0^*$ のように表し、また $AX0B$ の $B$ は反転信号を表す)が供給される。

【0028】サブワードドライバSWDは、タイミング信号 $\phi X$ がハイレベルとされることで動作状態とされる。この動作状態において、メインワードドライバMWDは、アドレスマルチプレクサAMXから伝送されるロウアドレス信号を、タイミング発生回路TGから供給されるロウタイミング信号 $\phi XL$ に従って取り込み、保持する。また、これらのロウアドレス信号 $AX0^* \sim AXi^*$ を形成し、メインワードドライバMWDに供給する。

【0029】アドレスマルチプレクサAMXは、特に制限されないが、たとえばDRAMが通常の動作モードとされ、タイミング発生回路TGからロウレベルのタイミング信号 $\phi REF$ が供給されるときに、外部端子 $AX0 \sim AXi$ を介して時分割的に供給されるXアドレス信号 $AX0 \sim AXi$ を選択し、前記ロウアドレス信号としてロウアドレスバッファRABに伝達する。

【0030】また、DRAMがCBRリフレッシュサイクルとされ、前記タイミング信号 $\phi REF$ がハイレベルとされるとき、リフレッシュアドレスカウンタRFCから供給されるリフレッシュアドレス信号を選択し、前記ロウアドレス信号としてロウアドレスバッファRABに伝達する。

【0031】リフレッシュアドレスカウンタRFCは、特に制限されないが、たとえばDRAMがCBRリフレッシュモードとされるとき、タイミング発生回路TGから供給されるタイミング信号 $\phi RC$ に従って進歩動作を行う。

【0032】一方、メモリアレイMMATを構成する相補データ線は、その一方において、センスアンプSAに対応する単位増幅回路に結合される。センスアンプSAのブロックは、メモリアレイMMATの各相補データ線に対応して設けられる複数の単位増幅回路を含む。また、センスアンプSAのブロックには、前記単位増幅回路の他に、DRAMが待機時に相補データ線対をイコライズするNチャネル型MOSFET、左右のメモリアレイMMATを1個のセンスアンプSAのブロックが共有

するシェアード用のNチャネル型MOSFET、および相補データ線をI/O線に接続するNチャネル型MOSFETが含まれている。

【0033】カラムデコーダYDECは、特に制限されないが、たとえばカラムアドレスバッファCABから相補内部アドレス信号が供給され、タイミング発生回路TGからタイミング信号 $\phi Y$ が供給される。

【0034】カラムデコーダYDECは、前記タイミング信号 $\phi Y$ がハイレベルとされることで、選択的に動作状態とされる。この動作状態において、カラムデコーダYDECは、前記内部相補アドレス信号をデコードし、対応するデータ線選択信号を択一的にハイレベルとする。

【0035】カラムアドレスバッファCABは、外部端子 $A0 \sim Ai$ を介して時分割的に供給されるYアドレス信号をタイミング発生回路TGから供給されるタイミング信号 $\phi YL$ に従って取り込み、保持する。また、これらのYアドレス信号をもとに、相補内部アドレス信号 $AY0^* \sim AYi^*$ を形成する。

【0036】相補共通データ線 $CD0^* \sim CDi^*$ は、特に制限されないが、たとえばデータ入出力回路I/Oに結合される。データ入出力回路I/Oには、タイミング発生回路TGからタイミング信号 $\phi W$ および $\phi R$ が供給される。

【0037】センスアンプ制御回路ACTRLは、タイミング発生回路TGからマツト選択信号MSおよびタイミング信号 $\phi SA$ により、前記センスアンプSAのブロック内の各回路を制御する。

【0038】タイミング発生回路TGには、外部装置から起動制御信号として、ロウアドレスストロブ信号/RAS、カラムアドレスストロブ信号/CAS、ライトイネーブル信号/WEおよび出カイネーブル信号/OEが供給され、前記外部起動制御信号をもとに、DRAMの動作モードを判定するとともに、前記各種のタイミング信号を形成し、DRAMの各部に供給する。

【0039】以上のようにして、DRAMのそれぞれの構成要素が動作し、メインワードドライバMWDおよびサブワードドライバSWDなどによりワード線を選択し、カラムデコーダYDECにより相補データ線を選択し、このワード線および相補データ線の交点に配置されるメモリアレイMMATのメモリセルに対して、書き込み、消去および読み出しによるデータの入出力を行うことができる。

【0040】次に、本実施例の特徴となるセンスアンプ駆動回路SADとI/O制御回路IOCの配置について図2～図4により説明する。

【0041】すなわち、本実施例においては、メモリアレイMMATの構成に図2のようなDWD方式を採用しているために、サブワードドライバSWDとセンスアンプSAとの交点にIS領域が形成され、このIS領域を

用いて、センスアンプ駆動回路SADを構成するセンスアンプ駆動MOSFETなどの分散配置や、I/O制御回路IOCを構成するI/Oスイッチなどを配置することができる。

【0042】たとえば、本実施例に対応する比較例を示す図3のように、メモリアレイ構成にSWS方式を用いた場合には、センスアンプ駆動MOSFETをメモリアレイMMATの上部か下部（行方向）にしか配置できないため、この行方向に長く配置されるセンスアンプSAにおいて、両端側のセンスアンプ駆動MOSFETに近い部分と、中央部の遠い部分との距離に大きな差があり、この近端側と遠端側との間に動作速度に影響する配線抵抗の大きな違いが生じることになる。

【0043】これに対して、本実施例においては、図2に示すようにメモリアレイMMATの行方向に分散配置されるサブワードドライバSWDと、メモリアレイMMATの列方向に分散配置されるセンスアンプSAとの交点領域に、センスアンプ駆動回路SAD、I/O制御回路IOCを配置することができるので、この行方向に長く分散配置されるセンスアンプSAにおいて、両端側のセンスアンプ駆動MOSFETに近い部分と、中央部の遠い部分との距離の差が図3に比べて極めて小さくなり、この近端側と遠端側との間に生じる配線抵抗の違いを小さくして動作速度に対する影響を抑えることができる。

【0044】さらに、センスアンプ駆動MOSFETの配置においては、Nチャネル型MOSFETおよびPチャネル型MOSFETによる回路と、Nチャネル型MOSFETのみによる回路とに分け、またサブワードドライバSWDとセンスアンプSAとの複数の交点領域についても、センスアンプSAを挟んで第1のIS領域と第2のIS領域とに交互に区別し、第1のIS領域または第2のIS領域に適したそれぞれの回路を配置することで領域を有効的に活用している。

【0045】すなわち、センスアンプ駆動回路SADは、図4に示すように、3つのNチャネル型MOSFETQN1～QN3と1つのPチャネル型MOSFETQP1とから構成され、センスアンプSAのSDN側に接続されるNチャネル型MOSFETQN1のみによる回路と、SDN側に接続されるNチャネル型MOSFETQN2、SDP側に接続されるNチャネル型MOSFETQN3およびPチャネル型MOSFETQP1による回路とを分けて、前者のNチャネル型MOSFETQN1のみによる回路を第2のIS領域に配置し、また後者のNチャネル型MOSFETQN2、QN3およびPチャネル型MOSFETQP1による回路は第1のIS領域に配置している。

【0046】さらに、第2のIS領域には、図4に示すように5つのNチャネル型MOSFETQN4～QN8と3つのPチャネル型MOSFETQP2～QP4と2

つのインバータIV1、IV2から構成されるI/O制御回路IOCも配置している。この第2のIS領域のように回路素子の多い領域には、I/O制御回路IOCのI/Oスイッチの他に、センスアンプ駆動回路SADのうちのWELL分離の不要なNチャネル型MOSFETQN1のみによる回路を配置することで領域を有効的に活用することができる。

【0047】これらのセンスアンプ駆動回路SADのセンスアンプ駆動MOSFETは、センスアンプSAを駆動するための電源を供給するものであり、Nチャネル型MOSFETQN1、QN2はドレインが信号線SDN、ソースが電源VSSAに接続され、ゲートに供給される信号線SANの信号によって制御し、Nチャネル型MOSFETQN3はドレインが信号線SDP、ソースが電源VDLに接続され、ゲートに供給される信号線SAP2の信号によって制御し、さらにPチャネル型MOSFETQP1はドレインが信号線SDP、ソースが電源VDDSAに接続され、ゲートに供給される信号線SAP1Bの信号によって制御し、センスアンプSAに対して増幅のための電源を供給することができる。

【0048】また、I/O制御回路IOCのI/Oスイッチは、センスアンプSAのデータを出力するためにローカル入出力線をメイン入出力線に接続するものであり、Nチャネル型MOSFETQN4が接続される信号線LIO、Nチャネル型MOSFETQN5が接続される信号線LIOBと、Nチャネル型MOSFETQN7とPチャネル型MOSFETQP2が接続される信号線MIO、Nチャネル型MOSFETQN8とPチャネル型MOSFETQP3が接続される信号線MIOBとの間を、インバータIV1、IV2、Pチャネル型MOSFETQP4に供給される信号線EQIOBの信号によって制御し、信号線LIO、LIOBと信号線MIO、MIOBとを接続することができる。

【0049】なお、この図4における信号線については、LIO、LIOBがローカル入出力線、MIO、MIOBがメイン入出力線、VSSA、VDDSAがセンスアンプ専用電源線、VDLがメモリアレイ電源線、EQIOBが入出力線イコライズ線、VBLRが1/2VDD電源線、SAN、SAP2、SAP1Bがセンスアンプ駆動信号線、SDNがコモンソースNチャネル線、SDPがコモンソースPチャネル線をそれぞれ示している。

【0050】このように、複数存在するIS領域の中で、第1のIS領域にはNチャネル型MOSFETQN2、QN3とPチャネル型MOSFETQP1によるセンスアンプ駆動MOSFETを、第2のIS領域にはI/OスイッチとNチャネル型MOSFETQN1のみによるセンスアンプ駆動MOSFETを交互に配置することにより、メモリアレイMMAT内のYS線活性化の速度に影響するセンスアンプSAの近端側と遠端側との遠

近端差を小さくすることができる。

【0051】また、以上のようなメモリアレイMMATの構成において、センスアンプ駆動回路SADを構成するセンスアンプ駆動MOSFETの他に、I/OスイッチなどのI/O制御回路IOCもIS領域のうちの第2のIS領域に配置することで、このIS領域を有効に活用してチップサイズを縮小することができる。

【0052】従って、本実施例のDRAMによれば、メモリアレイMMATの構成にDWD方式を用い、分散配置されるサブワードドライバSWDとセンスアンプSAとの複数のIS領域に、センスアンプ駆動MOSFETによるセンスアンプ駆動回路SADと、I/OスイッチによるI/O制御回路IOCを配置することにより、センスアンプ駆動回路SADから電源が供給されるセンスアンプSAにおいて、センスアンプ駆動MOSFETからの距離の差を小さくしてYS線活性化の遠近端差を低減することができるので、信号線の配線抵抗を小さくして動作を高速化させることができる。

【0053】さらに、センスアンプ駆動MOSFETのうちのNチャネル型MOSFETQN1のみによる回路を、I/O制御回路IOCとともに回路素子数の多い第2のIS領域に配置することで、この第2のIS領域へのWELL分離の不要なNチャネル型MOSFETQN1の配置によって領域を有効的に活用することができる。

【0054】また、メモリアレイMMATの構成において、センスアンプ駆動MOSFETの他に、I/OスイッチなどのI/O制御回路IOCもIS領域に配置することで、チップサイズを縮小することも可能となる。

【0055】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0056】たとえば、前記実施例のDRAMについては、メモリアレイが半導体チップの上部、下部に8分割され、さらにそれぞれが8分割されて配置される場合について説明したが、本発明は前記実施例に限定されるものではなく、このような分割方式については記憶容量、ワード線階層数、周辺回路やボンディングパッドの位置などに応じて種々の変形構成についても広く適用可能である。

【0057】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0058】(1).DWD方式を用いたメモリアレイ構成において、サブワードドライバとセンスアンプとの交点

のIS領域に、センスアンプ駆動MOSFETによるセンスアンプ駆動回路とI/OスイッチによるI/O制御回路とを配置することにより、YS線活性化の遠近端差を低減することができるので、動作速度の高速化が可能となる。

【0059】(2).センスアンプ駆動回路のうちのNチャネル型MOSFETのみによる回路を、I/O制御回路とともに回路素子数の多い第2のIS領域に配置することができるので、このIS領域へのWELL分離の不要なNチャネル型MOSFETの配置によって領域の有効的な活用が可能となる。

【0060】(3).IS領域内に、センスアンプ駆動MOSFETによるセンスアンプ駆動回路の他に、I/OスイッチによるI/O制御回路を配置することができるので、チップサイズの縮小が可能となる。

【0061】(4).前記(1)～(3)により、特にDWD方式を用いたDRAMにおいて、IS領域へのセンスアンプ駆動回路とI/O制御回路との配置によって、YS線活性化の遠近端差を低減した高速化と、チップサイズの縮小化が実現できる半導体記憶装置のレイアウト設計が可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体記憶装置を示すチップ構成図である。

【図2】本実施例の半導体記憶装置におけるアレイ構成図である。

【図3】本実施例に対応する比較例である半導体記憶装置におけるアレイ構成図である。

【図4】本実施例におけるセンスアンプ駆動回路とI/O制御回路を示す回路図である。

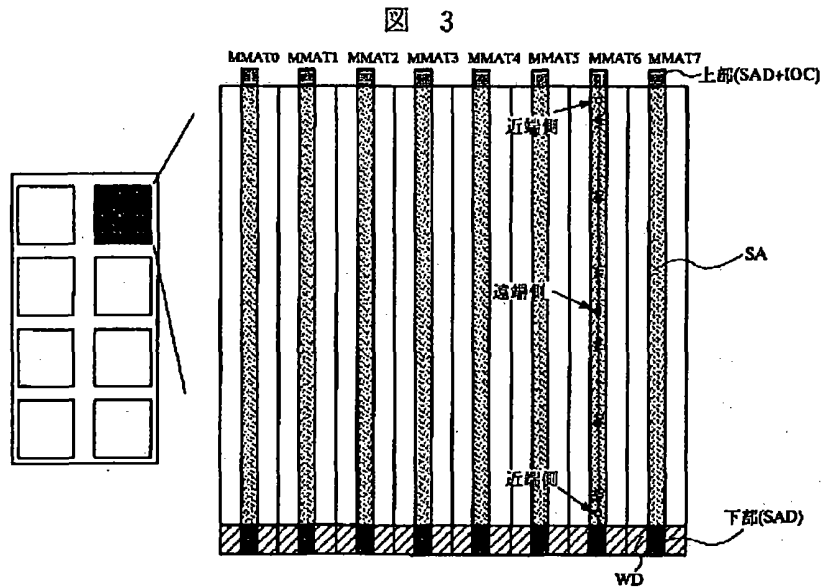
【符号の説明】

MMAT メモリアレイ  
SWD サブワードドライバ  
MWD メインワードドライバ  
YDEC カラムデコーダ  
SA センスアンプ  
ACTRL センスアンプ制御回路  
XPD ロウブリデコーダ  
RAB ロウアドレスバッファ  
YPD カラムブリデコーダ  
CAB カラムアドレスバッファ  
AMX アドレスマルチプレクサ  
RFC リフレッシュアドレスカウンタ  
TG タイミング発生回路  
I/O データ入出力回路  
SAD センスアンプ駆動回路  
IOC I/O制御回路





【図3】



フロントページの続き

- (72)発明者 久保田 記章  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内
- (72)発明者 小松崎 勝雄  
茨城県稲敷郡美浦村木原2350 日本テキサ  
ス・インスツルメンツ株式会社内
- (72)発明者 文 裕俊  
茨城県稲敷郡美浦村木原2350 日本テキサ  
ス・インスツルメンツ株式会社内
- (72)発明者 三谷 真司  
茨城県稲敷郡美浦村木原2350 日本テキサ  
ス・インスツルメンツ株式会社内